

강의계획서 (SYLLABUS)

1. 과목개요

강좌명	논리회로 (Logic Circuit)	담당교수	신동화		
년도	2024 학년도	학기	1 학기	과목코드	
분반		과목수준	초급	이수구분	전공선택
학점(실습학점*)	3 (0)	주당시간(실습시간)	3(0)	평가방법	절대, 상대, P/F
교과목유형	이론	강의언어	한국어	상담 신청 방법	이메일
교수실		연락처		이메일	
필수 선수과목					
권장 선수과목	이산수학				
교과목 개요	조합 및 순차 디지털 논리회로 동작원리를 이해하고, 논리 게이트 및 회로 기반 설계 방법을 실습을 통하여 습득한다. HDL 기반 디지털 회로 설계 구현 실습을 통하여 개발 이론 및 개발 역량을 쌓는다.				

교육목표
조합 및 순차 디지털 회로 원리 및 동작 이해
조합 및 순차 디지털 회로 설계 방법 실습
FPGA 에서의 실제 디지털 회로 설계 실습

주요교재 및 참고자료	주교재	David Harris Sarah Harris, Digital Design and Computer Architecture
	참고교재(대표)	
학습준비사항		
수강학생 유의 및 참고사항	성적산출방법: 중간시험 35%, 기말시험 35%, 숙제 10%, 프로젝트 10%, 수업참여도 10%	

강의계획서 (SYLLABUS)

2. 주차별 강의개요

주 (Week)	핵심어 (Keyword)	세부내용 (Description)	교수방법	교재범위 (Texts)
01	디지털 논리 게이트, 부울대수, 진리표	· 디지털 회로 설계 과정 이해 · 기본 디지털 논리 게이트 동작 이해 · 디지털논리게이트/부울대수/진리표에 의한 디지털 회로 기술	강의, 토론	
02	부울함수, 조합 회로 설계	· 부울대수 이해 · 부울대수/진리표에 기반한 부울함수(조합회로) 표현 · 조합 회로 설계 과정 이해	강의, 토론	
03	조합회로 최적화	· 대수적 방법을 이용한 조합회로 최적화 · K-Map 를 이용한 조합회로 최적화	강의, 토론	
04	조합회로 최적화 및 여러가지 조합회로	· 일반적 조합회로 최적화 (Quinn-McCluskey method) · 조합 회로; MUX/DEMUX, Decoder/Encoder	강의, 토론, 실험,실습,실기	
05	조합회로 프로젝트 실습	Half Adder 제작 실습 프로젝트	PBL	
06	Testbench, 조합회로 시뮬레이션	· Schematic/Verilog HDL 기반 조합회로 기술 · Testbench 작성 및 조합회로 시뮬레이션	강의, 토론, 실험,실습,실기	
07	조합회로 프로젝트 실습	계층구조에 의한 Full Adder 제작 실습 프로젝트	PBL	
08	중간고사	중간시험(필기시험)	시험	
09	플립플롭, 레지스터	· 1 비트 정보 저장 디지털 회로, D Flip-Flop 동작 이해 · 기본 레지스터 동작 이해	강의, 토론	
10	Finite State Machines	· FSM(Finite State Machine) 이해 · FSM 에 의한 순차회로 기술 방법	강의, 토론, 시험	
11	Decimal Counter	Decimal Counter 제작 프로젝트 실습	PBL	
12	입력 및 Controller	· 입력을 받는 Controller 설계 과정 이해 · Controller 설계 과정에 의한 Controller (순차회로) 설계 학습	강의, 토론	
13	순차회로 시뮬레이션	· Verilog HDL 에 의한 순차회로 기술 및 시뮬레이션	강의, 토론	
14	Multi-function Counter	Multi-function counter 제작 프로젝트 실습	PBL	
15	기말고사	기말시험(필기시험)	시험	